

# AI チップ等の積層型チップの放熱特性に関する検討

日本アイ・ビー・エム株式会社 東京基礎研究所 サイエンス&テクノロジー  
ニューロモーフィック・インターコネクション  
松本圭司

## 緒言

3次元積層チップはチップ間接続密度の上昇並びに接続長の低減という特徴を有しているが、放熱の観点では、3次元積層チップの発熱密度は2次元の場合と比較し上昇すると考えられその放熱は非常に困難な課題である。AIのための機械学習において学習の速度を上昇させる方法として、CPU/GPUとメモリー(例、High Band Width Memory)間のコミュニケーションのバンド幅を広げる方法があり、3次元積層チップはその方法の1つとなる可能性がある。ただし前述の通り3次元積層チップの放熱は非常に困難な課題のため、本研究ではその放熱の課題を再検討する。

## 研究目的

3次元積層チップの熱抵抗に関する情報の蓄積は徐々に行われてきているが、その実験値はまだ不足しているため、本研究ではその実験値の取得を行い、その結果に基づき発熱密度に対応した適切な放熱方法に関する検討を行う。3次元積層チップはチップ間接合部・貫通電極(Through-Silicon-Via (TSV))・配線層(Back-End-Of-the-Line (BEOL))・トランジスタ等から構成されるが、本研究では、チップ間接合部・貫通電極(Through-Silicon-Via (TSV))の熱特性に関する実験値を取得する点に焦点を当てる。

## 主な成果

著者らは、Cu postとSnAgとから構成されるチップ間接合部の熱伝導率を37-41W/mKと実験に基づき導出した。このような個々の構成要素の熱抵抗(熱伝導率)の測定と共に、3次元積層構造を持ったテスト・チップの熱特性を実測し、上述の個々の構成要素の熱抵抗と比較することも重要と考えられる。そこで、3次元積層構造を持つテスト・チップを試作しその温度分布を測定し、その測定値と相関するシミュレーションモデルの構築を行い、その結果として接合部の実効熱伝導率(接合部の占有面積の影響、配線層の影響を含む)を1.6W/mKと導出した。

## 結論

導出された3次元積層チップの熱抵抗の測定結果(チップ間接合部、貫通電極(Through-Silicon-Via (TSV))に関する測定結果)に基づき、例えば、4層の積層チップで上面から液体冷却を行ったときに各チップに許容される発熱密度を算出したところ、17W/cm<sup>2</sup>という結果が得られた。さらに、チップ間接合部に充填するアンダーフィルの高熱伝導率化等によって、この許容発熱密度は上昇させることができる。

## 謝辞

本研究の一部は、経済産業省の「ITイノベーションプログラム」に基づき、新エネルギー・産業技術総合開発機構(NEDO)から委託された「立体構造新機能集積回路(ドリームチップ)技術開発」プロジェクトにおいて実施された。

## 参考文献

- [1] K. Matsumoto, S. Ibaraki, K. Sueoka, K. Sakuma, H. Kikuchi, Y. Orii, F. Yamada, “Experimental thermal resistance evaluation of three-dimensional (3D) chip stacks”, 27th Annual IEEE Semiconductor Thermal Measurement and Management Symposium (Semi Therm), p.125, 2011.
- [2] K. Matsumoto, S. Ibaraki, M. Sato, K. Sakuma, Y. Orii, F. Yamada, “Investigations of cooling solutions for three-dimensional (3D) chip stacks”, 26th Annual IEEE Semiconductor Thermal Measurement and Management Symposium (Semi Therm), p.25, 2010.
- [3] K. Matsumoto; Y. Taira, “Thermal resistance measurements of interconnections, for the investigation of the thermal resistance of a three-dimensional (3D) chip stack”, 25th Annual IEEE Semiconductor Thermal Measurement and Management Symposium (Semi Therm), p.321, 2009.
- [4] K. Matsumoto, S. Ibaraki, K. Sueoka, K. Sakuma, H. Kikuchi, Y. Orii, F. Yamada, K. Fujihara, J. Takamatsu, K. Kondo, “Thermal design guidelines for a three-dimensional (3D) chip stack, including cooling solutions”, 29th Annual IEEE Semiconductor Thermal Measurement and Management Symposium (Semi Therm), p.1, 2013.

[5] A. Horibe, "*Inter Chip Fill for 3D Chip Stacks*", ICEP proceeding, pp. 218-222, 2009

[6] Y. Kawase, M. Ikemoto, M. Yamazaki, M. Sugiyama, H. Kiritani, F. Mizutani, K. Matsumoto, A. Horibe, H. Mori and Y. Orii, "High Thermal Conductive Inter Chip Fill for 3D-IC through Pre-applied Joining Process", IMAPS 2013, to be published.